

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177098

(43)Date of publication of application : 29.06.2001

(51)Int.Cl. H01L 29/786  
H01L 27/12

(21)Application number : 11-354442 (71)Applicant : MATSUSHITA ELECTRIC  
IND CO LTD

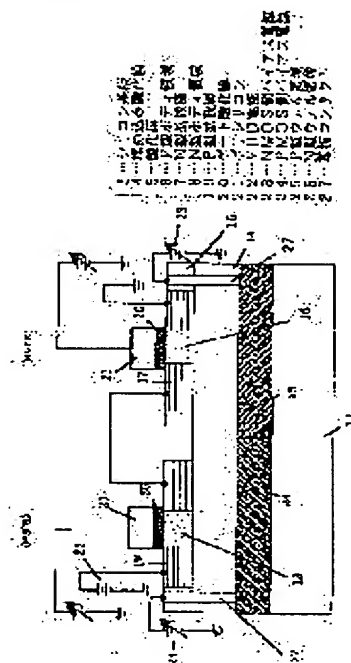
(22)Date of filing : 14.12.1999 (72)Inventor : KATSURA AKIHITO  
YAMAMOTO HIROO

## (54) MOS SEMICONDUCTOR DEVICE IN SOI STRUCTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve a problem such that a layout area is increased since a body contact needs to be provided for each transistor to control a threshold voltage for each circuit block.

**SOLUTION:** In the MOS semiconductor device in SOI structure, an N-type well region 26 and a P-type well region 25 are formed on a silicon substrate 13 that is a support substrate under a burial oxide film 14 being formed on an SOI substrate, a substrate contact 27 from bias power supply wiring for controlling a threshold voltage is provided for each functional block, consumption power is reduced by decreasing the threshold voltage of a MOS in an active state for high-speed operation and similarly increasing the threshold voltage of the MOS in a standby state for reducing a sub threshold current, and the increase in a layout area is suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177098

(P2001-177098A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 29/786

H 0 1 L 27/12

C 5 F 1 1 0

27/12

29/78

6 1 3 A

6 1 7 N

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平11-354442

(22) 出願日

平成11年12月14日 (1999.12.14)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 桂 昭仁

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山本 裕雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

Fターム (参考) 5F110 AA04 AA06 AA08 AA09 BB04

BB20 CC02 DD05 DD13 EE08

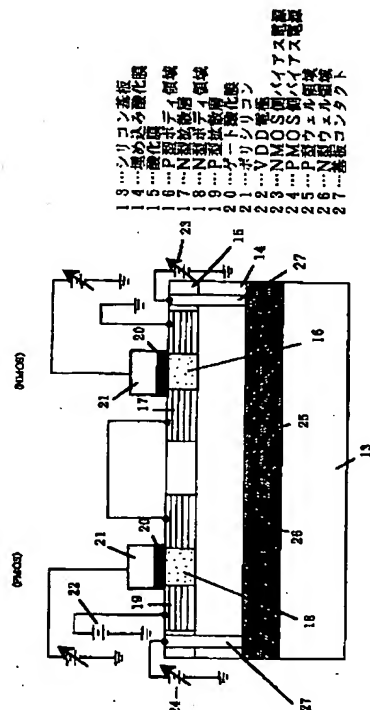
EE09 EE30 FF02 GG02

(54) 【発明の名称】 SOI構造MOS型半導体装置

(57) 【要約】

【課題】 閾値電圧の制御をある回路ブロック毎に行うためにトランジスタ毎にボディコンタクトを設けなければならないレイアウト面積の拡大につながる。

【解決手段】 SOI基板上に形成された埋め込み酸化膜14下の支持基板であるシリコン基板13にN型ウェル領域26とP型ウェル領域25を形成し、ある機能ブロック毎に閾値電圧を制御するためのバイアス電源配線からの基板コンタクト27を設け、基板電位の制御により、アクティブ時にはMOSの閾値電圧を低下させて高速動作を可能とし、同様にスタンバイ時にはMOSの閾値電圧を上昇させることによりサブスレッショルド電流を低減して消費電力を削減し、かつレイアウト面積拡大を抑えたSOI型構造MOS型半導体装置を提供する。



## 【特許請求の範囲】

【請求項1】 SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルMOS型FETとバイアス電圧発生回路部を備え、前記複数のPチャネルMOS型FETのうち少なくとも一部のPチャネルMOS型FETの下部支持基板にはnウェルが形成され、基板コンタクトを通じて前記バイアス電圧発生回路部からアクティブ時に電源電圧より低い電圧を供給し、スタンバイ時には前記電源電圧を供給するとともに、前記NチャネルMOS型FETのうち少なくとも一部のNチャネルMOS型FETの下部支持基板にはpウェルが形成され、基板コンタクトを通じて前記バイアス電圧発生回路部からアクティブ時に接地電位より高い電圧を供給し、スタンバイ時には接地電位とする、ように構成したことを特徴とするSOI構造MOS型半導体装置。

【請求項2】 SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルMOS型FETを備えるアナログ回路部とデジタル回路部の機能ブロック毎に、バイアス電圧発生回路により基板電位の制御を行う請求項1記載のSOI構造MOS型半導体装置。

【請求項3】 SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルMOS型FETから成る機能ブロックの基板コンタクトは電源配線の下に配置され、電位制御を行うバイアス電圧発生回路部との配線層は金属、ポリシリコンあるいは拡散層で形成され、前記電源配線に対して平面的に重なる位置に形成されている請求項1記載のSOI構造MOS型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁膜上に形成された半導体層に作られるSOI（シリコン・オン・インシュレータ）構造MOS型半導体装置に関し、特にアクティブとスタンバイ時でMOS型FETの閾値電圧を変更することによりアクティブ時には低消費電力化が可能なSOI構造MOS型半導体装置に関するものである。

## 【0002】

【従来の技術】近年、移動体通信分野が急速に普及するにつれ低消費電力化の市場要求が強まり、それに応じてLSIの低電源電圧化が進められている。つまり、LSIの低電源化に伴い、アクティブ時（動作時）の高速動作とスタンバイ時（待機時）の低消費電力化が同時に求められている。アクティブ時の高速化とスタンバイ時の低電力化を両立させる技術の一つとして、ウェルの電位を制御することによってアクティブ時にはMOSトランジスタの閾値電圧を低下させることで高速動作を可能とし、スタンバイ時にはMOSトランジスタの閾値電圧を増加させることでサブスレッショルド電流を低減し、消費電力を低減する技術が提案されている。

【0003】例えば、特開平8-204140号公報に

より開示されている従来技術の構成、動作について以下に説明する。

【0004】図3は従来のシリコン・オン・インシュレータ半導体装置の断面図であり、シリコン基板1上に形成された埋め込み酸化膜2の上に酸化膜3で絶縁分離されたNMOSの基体となるP型シリコン基体4上にゲート酸化膜8を介して形成されたゲート電極のポリシリコン9とこれに対して自己整合的に形成されてソースおよびドレイン電極を構成するN型拡散層5が形成され、同様にPMOSの基体となるN型シリコン基体6上にゲート酸化膜8を介して形成されたゲート電極のポリシリコン9とこれに対して自己整合的に形成されてソースおよびドレイン電極を構成するP型拡散層7が形成され、NMOSのソース電極は接地され、PMOSのソース電極はVDD電源10に接続され、NMOSのドレイン電極とPMOSのドレイン電極は接続され、NMOSの基体であるP型シリコン基体4にはNMOS側バイアス電源11が接続され、PMOSの基体であるN型シリコン基体6にはPMOS側バイアス電源12が接続されている。

【0005】また図4は、従来例のセルレイアウトの一例を示す平面図である。図4において、7はP型拡散領域、5はN型拡散領域、38はVDD配線、39はVSS配線、40はボディー配線間コンタクト、41はバイアス配線、42はPMOS側バイアス発生器、43はNMOS側バイアス発生器、44はポリシリコンである。

【0006】以上のように構成されたSOI構造MOS型半導体装置について、以下その作用を説明する。この構成において、アクティブ時にはNMOS側バイアス電源11の電圧を接地電位より高くかつP-N接合の順方向電圧VFより低い電圧、例えば0.5Vに設定することによりNMOSの閾値電圧を低下させて0.2V程度とし、スタンバイ時にはNMOS側バイアス電源11の電圧を接地電位である0Vまで低下させることによりNMOSの閾値を増大させて0.5V程度とすることができ、同様にアクティブ時にはPMOS側バイアス電源12の電圧をVDD電源10の電圧、例えば2Vの電圧よりも低くかつVDD電源10の電圧からVFを引いた電圧より高い電圧、例えば1.5Vに設定することによりPMOSの閾値電圧を絶対値で低下させて-0.2V程度とし、またスタンバイ時にはPMOS側バイアス電源12の電圧をVDD電源10の電圧と等しい値まで上昇させることによりPMOSの閾値電圧を絶対値で上昇させて-0.5V程度とすることができる。従って、アクティブ時にはPMOSとNMOSの閾値電圧を絶対値で小さくすることにより高速動作させ、スタンバイ時には閾値電圧を絶対値で大きくすることによりサブスレッショルド電流による電力消費を低減することができる。

## 【0007】

【発明が解決しようとする課題】近年の低消費電力化の

傾向として、アクティブ状態とスタンバイ状態の切り換えを1チップレベルではなく、チップに搭載されているある機能ブロック毎に制御を細かく行い、より効率良く消費電力の低減を行っている。

【0008】しかしながら、従来の構成では制御を行う回路ブロック内の全てのトランジスタからボディコンタクトを取らなければならない、レイアウト面積の増大につながる問題があった。

【0009】本発明は上記従来の問題点を解決するもので、各機能ブロック毎に基板コンタクトを設け、支持基板で電位制御をすることにより、レイアウト面積の増加を低減することができるSOI構造MOS型半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1記載のSOI構造MOS型半導体装置は、SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルMOS型FETとバイアス電圧発生回路部を備え、複数のPチャネルMOS型FETのうち少なくとも一部のPチャネルMOS型FETの下部支持基板にはnウェルが形成され、基板コンタクトを通じてバイアス電圧発生回路部からアクティブ時に電源電圧より低い電圧を供給し、スタンバイ時には電源電圧を供給するとともに、NチャネルMOS型FETのうち少なくとも一部のNチャネルMOS型FETの下部支持基板にはpウェルが形成され、基板コンタクトを通じてバイアス電圧発生回路部からアクティブ時に接地電位より高い電圧を供給し、スタンバイ時には接地電位とする、ように構成したことを特徴とするものである。

【0011】請求項1記載のSOI構造MOS型半導体装置によれば、例えば埋め込み酸化膜下の支持基板に拡散領域を形成し、埋め込み酸化膜に穴をあけて基板コンタクト領域を設けて各機能ブロック毎に基板電位の制御を行う構成を有し、アクティブ時とスタンバイ時の基板電位の制御を行いアクティブ時には高速動作、スタンバイ時には消費電力の低減をすることができ、かつチップレイアウトにおける面積増加を低減できる。

【0012】請求項2記載のSOI構造MOS型半導体装置は、請求項1において、SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルMOS型FETを備えるアナログ回路部とデジタル回路部の機能ブロック毎に、バイアス電圧発生回路により基板電位の制御を行うものである。

【0013】請求項2記載のSOI構造MOS型半導体装置によれば、請求項1と同様な効果のほか、アナログ混載のチップにおいてはクロストークノイズを抑えることができる。

【0014】請求項3記載のSOI構造MOS型半導体装置は、請求項1において、SOI基板上に形成された複数のPチャネルMOS型FETと複数のNチャネルM

OS型FETから成る機能ブロックの基板コンタクトは電源配線の下に配置され、電位制御を行うバイアス電圧発生回路部との配線層は金属、ポリシリコンあるいは拡散層で形成され、電源配線に対して平面的に重なる位置に形成されているものである。

【0015】請求項3記載のSOI構造MOS型半導体装置によれば、請求項1と同様な効果のほか、レイアウトの面積増加をさらに抑えることができる。

【0016】

【発明の実施の形態】本発明の第1の実施の形態について、図1を参照しながら説明する。図1は、第1の実施の形態におけるSOI構造MOS型半導体装置を示す断面図である。図1において、シリコン基板13上に形成された埋め込み酸化膜14の上に酸化膜15で絶縁分離されたNMOSのボディ領域となるP型ボディ領域16上にゲート酸化膜20を介して形成されたゲート電極のポリシリコン21とこれに対して自己整合的に形成されてソースおよびドレイン電極を構成するN型拡散層17が形成され、同様にPMOSのボディ領域となるN型ボディ領域18上にゲート酸化膜20を介して形成されたゲート電極のポリシリコン21とこれに対して自己整合的に形成されてソースおよびドレイン電極を構成するP型拡散層19が形成され、NMOSのソース電極は接地され、PMOSのソース電極はVDD電源22に接続され、NMOSのドレイン電極とPMOSのドレイン電極は接続され、NMOS領域の埋め込み酸化膜14の下に形成されたP型ウェル領域25と基板コンタクト27によりNMOS側バイアス電源23が接続され、同様にPMOS領域の埋め込み酸化膜14の下に形成されたN型ウェル領域26と基板コンタクト27によりPMOS側バイアス電源24が接続されている。

【0017】以上のように構成された第1の実施の形態のSOI構造MOS型半導体装置について、以下、その動作を説明する。

【0018】まず、アクティブ状態ではNMOS側バイアス電源23の電圧を接地電位より高くかつP-N接合の順方向電圧VFより低い電圧、例えば0.5Vに設定することによりNMOSの閾値電圧を低下させて0.2V程度とし、スタンバイ状態ではNMOS側バイアス電源23の電圧を接地電位である0Vまで低下させることによりNMOSの閾値電圧を上昇させて0.5V程度とすることができ、同様にアクティブ状態ではPMOS側バイアス電源24の電圧をVDD電源22の電圧、例えば2Vの電圧より低くかつVDD電源22の電圧からVFを引いた電圧より高い電圧、例えば1.5Vに設定することによりPMOSの閾値電圧を絶対値で低下させて-0.2V程度とし、またスタンバイ状態ではPMOS側バイアス電源24の電圧をVDD電源22の電圧と等しい値まで上昇させることによりPMOSの閾値電圧を絶対値で上昇させて-0.5V程度とすることができ

ことは、上記従来例と同様である。

【0019】以上のように第1の実施の形態によれば、回路ブロック毎に埋め込み酸化膜14下のシリコン基板13に拡散領域を設け、埋め込み酸化膜14に穴をあけて基板13とコンタクトし、バイアス電源23、24を接続してアクティブ状態とスタンバイ状態の閾値電圧の制御を緻密に行うことにより、効率のよい消費電力制御をすることができる。

【0020】なお、前記実施形態では、ある機能を持つ回路ブロック毎に基板電位の制御を行うとしたが、ある機能を持つ回路ブロックをアナログ回路部とデジタル回路部として用いても良い。

【0021】アナデジ混載において大きな問題となるのが、デジタル回路からのクロストークノイズの影響である。基板ノイズの発生源は、デジタル信号によって生じる過渡電流による基板電位の変動である。デジタル部のトランジスタを流れる電流の変化によりGNDの電位が変化するため、基板電位も変化する。パルクでは、基板はアナログ部、デジタル部共通であり、低いインピーダンスでつながっているため、この基板電位の変化はアナログ部のトランジスタの基板電位を変動させ、結果的にトランジスタの閾値が変化することになる。また、SOI基板を用いることにより、各々の素子が絶縁膜で完全に分離されるため、デジタル部からアナログ部へ飛び込むノイズはかなり抑えることが可能になると考えられるが、基板を回り込むノイズの影響などあり、完全に基板電位の変動を抑えられるとは言えない。

【0022】以上のように、第1の実施の形態によれば、回路ブロック毎の基板電位を制御したことにより、デジタル回路部の信号によって生じる過渡電流による基板電位の変動、つまりアナログ回路部に対する基板ノイズを抑えることができる。

【0023】本発明の第2の実施の形態を図2により説明する。図2は、本発明の第2の実施形態における基板コンタクトの配置とバイアス電源配線を示す平面図である。図2において、28はある機能ブロック内のP型拡散層であり、29はN型拡散層、30はVDD配線、31はVSS配線、32は支持基板に形成された拡散層との基板コンタクトであり、33はNMOS側バイアス発生器、34はPMOS側バイアス発生器、35はポリシリコンである。その構成は、VDD配線30の下に平面的に重なる位置にPMOS側バイアス発生器34からの金属配線を配線し、基板コンタクト32を配置する。同様に、VSS配線31の下に平面的に重なる位置にNMOS側バイアス発生器33からの金属配線を配線し、基板コンタクト32を配置して基板電位の制御を行うものである。

【0024】なお、第2の実施の形態では、各バイアス発生器33、34からの配線を金属配線としたが、金属

配線の代りにポリシリコンあるいは拡散層を用いても良い。

【0025】以上のように基板コンタクト32とバイアス電源配線(30、31)を電源配線と平面的に重なる位置に配線することで、ルールで設計された標準的なセルを一例とした場合、面積を従来例の80%程度にすることが可能とされている。

#### 【0026】

【発明の効果】請求項1記載のSOI構造MOS型半導体装置によれば、例えば埋め込み酸化膜下の支持基板に拡散領域を形成し、埋め込み酸化膜に穴をあけて基板コンタクト領域を設けて各機能ブロック毎に基板電位の制御を行う構成を有し、アクティブ時とスタンバイ時の基板電位の制御を行いアクティブ時には高速動作、スタンバイ時には消費電力の低減をすることができ、かつチップレイアウトにおける面積増加を低減できる。

【0027】請求項2記載のSOI構造MOS型半導体装置によれば、請求項1と同様な効果のほか、アナデジ混載のチップにおいてはクロストークノイズを抑えることができる。

【0028】請求項3記載のSOI構造MOS型半導体装置によれば、請求項1と同様な効果のほか、レイアウトの面積増加をさらに抑えることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるSOI構造MOS型半導体装置の断面図である。

【図2】本発明の第2の実施の形態におけるセルレイアウトの平面図である。

【図3】従来のSOI構造MOS型半導体装置の断面図である。

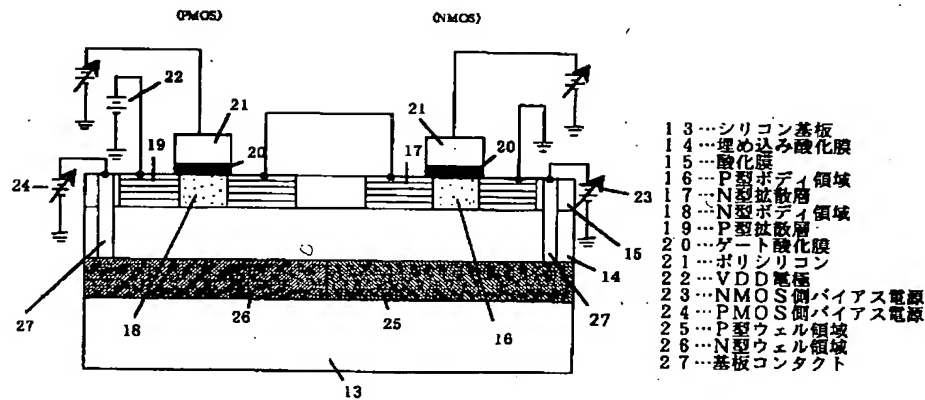
【図4】従来のSOI構造MOS型半導体装置におけるセルレイアウトの図3の平面図である。

#### 【符号の説明】

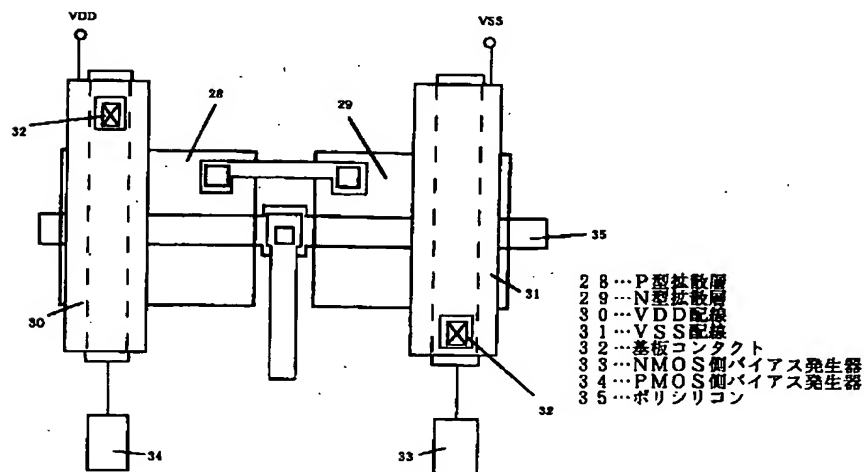
- 1 シリコン基板
- 2 埋め込み酸化膜
- 3 酸化膜
- 4 P型シリコン基体
- 5 N型拡散層
- 6 N型シリコン基体
- 7 P型拡散層
- 8 ゲート酸化膜
- 9 ポリシリコン
- 10 VDD電源
- 11 NMOS側バイアス電源
- 12 PMOS側バイアス電源
- 13 シリコン基板
- 14 埋め込み酸化膜
- 15 酸化膜
- 16 P型ボディ領域
- 17 N型拡散層

- |    |             |    |              |
|----|-------------|----|--------------|
| 18 | N型ボディ領域     | 32 | 基板コンタクト      |
| 19 | P型拡散層       | 33 | NMOS側バイアス発生器 |
| 20 | ゲート酸化膜      | 34 | PMOS側バイアス発生器 |
| 21 | ポリシリコン      | 35 | ポリシリコン       |
| 22 | VDD電極       | 36 | P型拡散層        |
| 23 | NMOS側バイアス電源 | 37 | N型拡散層        |
| 24 | PMOS側バイアス電源 | 38 | VDD配線        |
| 25 | P型ウェル領域     | 39 | VSS配線        |
| 26 | N型ウェル領域     | 40 | ボディー配線間コンタクト |
| 27 | 基板コンタクト     | 41 | バイアス配線       |
| 28 | P型拡散層       | 42 | PMOS側バイアス発生器 |
| 29 | N型拡散層       | 43 | NMOS側バイアス発生器 |
| 30 | VDD配線       | 44 | ポリシリコン       |
| 31 | VSS配線       |    |              |

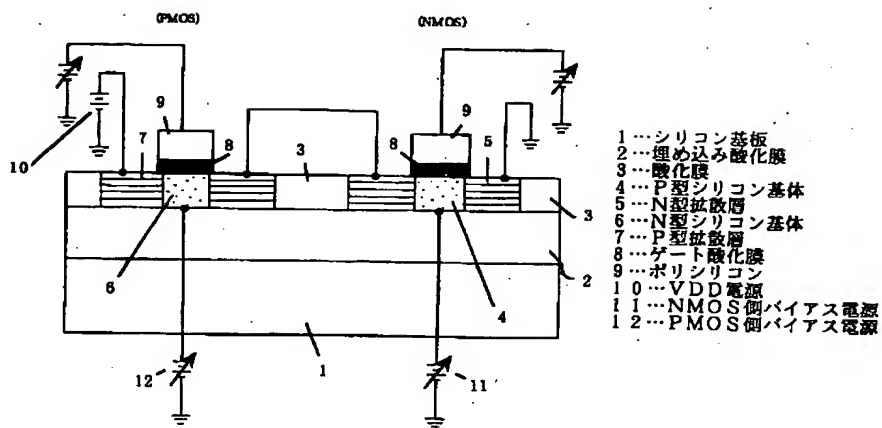
【図1】



【図2】



【図3】



【図4】

